

⑫ 公開特許公報(A)

昭63-110840

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)5月16日

H 04 L 7/08

D-6745-5K

審査請求 未請求 発明の数 1 (全2頁)

⑮ 発明の名称 同期検出回路

⑯ 特 願 昭61-255864

⑰ 出 願 昭61(1986)10月29日

⑱ 発 明 者 川 原 信 広 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 発 明 者 浜 谷 徹 宮城県黒川郡大和町吉岡字雷神2番地 宮城日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

\textcircled{21} 出 願 人 宮城日本電気株式会社 宮城県黒川郡大和町吉岡字雷神2番地

\textcircled{22} 代 理 人 弁理士 岩佐 義幸

明 細 書

1. 発明の名称

同期検出回路

2. 特許請求の範囲

(1) 伝送路のシリアルデータ信号からタイミング信号を検出した後、1/Nのバラレル信号に変換して復号を行う回路で用いられる同期検出回路において、

伝送路のシリアルデータ信号からフレーム同期信号を検出するタイミング検出回路と、

検出されたフレーム同期信号によりシリアル/バラレル変換のタイミングがリセットされ、シリアルデータ信号に対し1/Nのシリアル/バラレル変換を行ってバラレルデータ信号に変換するシリアル/バラレル変換回路と、

バラレルデータ信号に含まれるフレーム同期信号からフレーム同期を検出するフレーム同期検出回路と、

フレーム同期検出回路の検出信号により制御され、制御信号を形成するパルス発生回路と、

パルス発生回路の制御信号が入力され、同期保護を行う同期保護回路と、

タイミング検出回路からシリアル/バラレル変換回路への出力を同期保護回路の出力結果に応じて制御するゲート回路とを有することを特徴とする同期検出回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は同期検出回路に関し、特に、伝送路のシリアルデータ信号からタイミング信号を検出した後、1/Nのバラレルデータ信号に変換して復号を行う回路で用いられる同期検出回路に関する。

(従来技術)

第2図に従来の同期検出回路の一例を示す。

この同期検出回路はフレーム同期検出回路22、同期保護回路23、シリアル/バラレル変換回路24、シリアル/バラレル変換回路24をリセットするパルス発生回路25から成っている。なお、21は分離回路である。

フレーム同期検出回路22は入力信号であるシリ

アルデータ信号Aに含まれるフレーム同期信号からフレーム同期を検出する。その検出信号Eは、同期保護回路23、シリアル／パラレル変換回路24をリセットするパルス発生回路25を動作させるために用いられる信号である。また、シリアル／パラレル変換回路24は、シリアル／パラレル変換回路をリセットするパルス発生回路25から出力されるリセット信号Fによって制御される。これらの回路で用いられる信号は、伝送路のクロック周波数で動作する。

(発明が解決しようとする問題点)

上述した従来の同期検出回路は、伝送路と同一のクロック周波数で動作する構成となっていたので、クロック周波数が高い場合、例えば50MHz以上の場合には、ハードの構成はECL(Emitter Coupled Logic)などで行う為に、特に同期保護回路の部分でハード規模が大きくなり且つ消費電力が増大するという欠点があった。

本発明の目的は、このような欠点を除去し、ハード規模が小さく且つ消費電力の少ない同期検出

回路を提供することにある。

(問題点を解決するための手段)

本発明は、伝送路のシリアルデータ信号からタイミング信号を検出した後、 $1/N$ のパラレル信号に変換して復号を行う回路で用いられる同期検出回路において、

伝送路のシリアルデータ信号からフレーム同期信号を検出するタイミング検出回路と、

検出されたフレーム同期信号によりシリアル／パラレル変換のタイミングがリセットされ、シリアルデータ信号に対し $1/N$ のシリアル／パラレル変換を行ってパラレルデータ信号に変換するシリアル／パラレル変換回路と、

パラレルデータ信号に含まれるフレーム同期信号からフレーム同期を検出するフレーム同期検出回路と、

フレーム同期検出回路の検出信号により制御され、制御信号を形成するパルス発生回路と、

パルス発生回路の制御信号が入力され、同期保護を行う同期保護回路と、

タイミング検出回路からシリアル／パラレル変換回路への出力を同期保護回路の出力結果に応じて制御するゲート回路とを有することを特徴としている。

(実施例)

次に本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例を示すブロック図である。この同期検出回路は、伝送路のシリアルデータ信号からフレーム同期信号を検出するタイミング検出回路2と、検出されたフレーム同期信号により変換のタイミングがリセットされ、シリアルデータ信号に対し $1/N$ のシリアル／パラレル変換を行うシリアル／パラレル変換回路3と、変換後のパラレルデータ信号に含まれるフレーム同期信号から $1/N$ の周波数でフレーム同期を検出するフレーム同期検出回路4と、フレーム同期検出回路の検出信号により制御信号を発生するパルス発生回路5と、この制御信号が入力され $1/N$ の周波数で動作する同期保護回路6と、タイミン

グ検出回路2からシリアル／パラレル変換回路3への出力を同期保護回路6の出力結果に応じて制御する為のアンドゲート7とを有している。なお、1は分離回路である。

次に、本実施例の動作について説明する。

伝送路からの入力信号であるシリアルデータ信号Aは、シリアル／パラレル変換回路3により $1/N$ のシリアル／パラレル変換でパラレルデータ信号に変換される。このときタイミング検出回路2はシリアルデータ信号Aからフレーム同期信号を検出し、そのタイミング信号Bをアンドゲート7を介してシリアル／パラレル変換回路3に入力し、変換のタイミングをリセットしている。

フレーム同期検出回路4では、シリアル／パラレル変換回路3から出力されるパラレルデータ信号に含まれるフレーム同期信号からフレーム同期を検出する。この場合、フレーム同期検出回路は伝送路のクロック周波数の $1/N$ の周波数で動作する。検出信号はパルス発生回路5に入力され、パルス発生回路5は同期保護回路6や分離回路1

で用いる制御信号Cを作り出す。

同期保護回路6は伝送路で生じた誤りなどに対する同期の保護を行い、同期がとれるか否かの識別信号Dを出力する。この場合、同期保護回路は伝送路のクロック周波数の $1/N$ の周波数で動作する。シリアル/パラレル変換回路3をリセットするタイミング信号Bは、アンドゲート7によって識別信号Dで制御される。

以上の過程の中で伝送路クロックで動作する部分はタイミング検出回路2とシリアル/パラレル変換回路3のみで、フレーム同期検出回路4、同期保護回路6などは伝送路クロックの $1/N$ のクロックで動作しているので、伝送路のクロック周波数が高い場合、例えば50MHz以上の場合には、ハードの構成はECLで行う部分が少なく、ハード規模を小さく構成できる他に、消費電力を少なくすることができる。また、伝送路のクロック周波数が例えば、10MHz程度の場合にはハードの構成の大部分をTTL (Transistor Transistor Logic) からCMOS (Complementary MOS) に

置き換えることができ、消費電力を大幅に低減できる。

(発明の効果)

以上説明したように本発明は、フレーム同期検出回路によるフレーム同期の検出を、 $1/N$ のシリアル/パラレル変換後のパラレルデータ信号から行うようにしているので、フレーム同期検出回路、同期保護回路を伝送路のクロック周波数の $1/N$ の周波数で動作させることができる。従って、伝送路のクロック周波数が高い場合、例えば50MHz以上の場合には、ハードの構成はECLで行う部分が少なく、ハード規模を小さく構成できる他に、消費電力を少なくすることができる効果がある。また、伝送路のクロック周波数が、例えば、10MHz程度の場合にはハードの構成の大部分をTTLからCMOSに置き換えることができ、消費電力を大幅に低減できる効果がある。

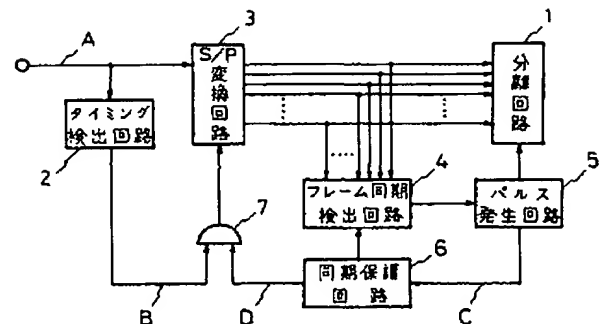
4. 図面の簡単な説明

第1図は本発明の一実施例のブロック図、

第2図は従来の同期検出回路の一例のブロック

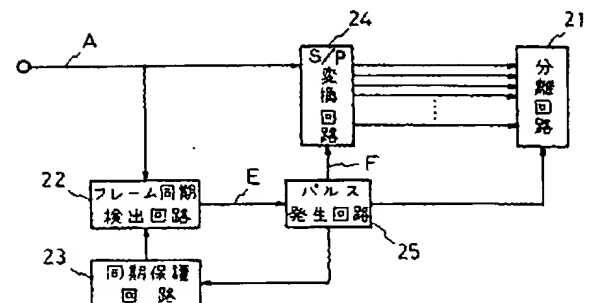
図である。

- 1 分離回路
- 2 タイミング検出回路
- 3 シリアル/パラレル変換回路
- 4 フレーム同期検出回路
- 5 パルス発生回路
- 6 同期保護回路
- 7 アンドゲート



第 1 図

代理人 弁理士 岩佐 義幸



第 2 図